

02-216851

Aug. 29, 1990

ANS: 1

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

INVENTOR: YOSHIFUMI TAKADA, et al. (1)

ASSIGNEE: MITSUBISHI ELECTRIC CORP, et al. (80)

APPL NO: 01-38829

DATE FILED: Feb. 16, 1989

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: E1001

ABS VOL NO: Vol. 14, No. 518

ABS PUB DATE: Nov. 14, 1990

INT-CL: H01L 21/90; H01L 21/316

ABSTRACT:

PURPOSE: To contrive that an interlayer insulating film on the upper layer side formed by a bias PECVD method is not brought into direct contact with a lower layer metallic wiring by forming an interlayer insulating film on the lower layer side on the lower layer metallic wiring by a PECVD method or heat CVD method, and thereon forming the interlayer insulating film on the upper layer side by a bias PECVD method.

CONSTITUTION: An interlayer insulating film 14a on the lower layer side is grown on the whole face of a lower layer insulating film 12 which includes a lower layer metallic wiring 13 by a usual PECVD method, in a word, in this case the PECVD(Plasma Enhanced Chemical Vapor Deposition) method which uses, as source gas, SiH<sub>4</sub> or SiH<sub>2</sub> gas or organic gas represented by TEOS(Tetra Ethyl Ortho Silicate), subsequently an interlayer insulating film 146 on the upper layer side is grown on the whole face of the interlayer insulating film 14 on the lower layer side by a bias PECVD method, in a word, the bias PECVD method which makes use of ECR(Electron Cyclotron Resonance), using SiH<sub>4</sub> or SiH<sub>2</sub> gas as source gas.t

# 公開特許公報(A) 平2-216851

Int.Cl.  
H 01 L 21/80  
21/316

識別記号 庁内整理番号  
M X 6810-5F  
6810-5F

②公開 平成2年(1990)8月29日

審査請求 未請求 請求項の数 1 (全6頁)

①発明の名称 半導体集積回路装置の製造方法

②特 願 平1-38829  
③出 願 平1(1989)2月16日

④発明者 高田 佳史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑤発明者 鹿井 淳弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑥出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑦代理人 弁理士 大岩 増雄 外2名

## 明細書

### 1. 発明の名称

半導体集積回路装置の製造方法

### 2. 特許請求の範囲

下層絶縁膜上での下層金属記録と上層金属記録との間に介在される埋蔵絶縁膜の形成方法であつて、前記下層金属記録を含む下層絶縁膜上に、まず、SiE<sub>x</sub>またはSiN<sub>x</sub>、蒸ガス、もしくはTEOSなどの有機蒸ガスをソースガスに用いるPECVD法、あるいは熱CVD法によって下層膜の埋蔵絶縁膜を形成させ、ついで、この下層膜の埋蔵絶縁膜上に、SiE<sub>x</sub>またはSiN<sub>x</sub>、蒸ガスをソースガスに用い、ECRによるバイアスPECVD法によって上層膜の埋蔵絶縁膜を形成させ、その後、この上層膜の埋蔵絶縁膜上に、前記上層金属記録を形成させることを特徴とする半導体集積回路装置の製造方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

この発明は、半導体集積回路装置の製造方法に

関し、さらには詳しくは、半導体集積回路装置での多層配線構造における埋蔵絶縁膜の形成方法の改良に係るものである。

#### (従来の技術)

従来例によるこの種の半導体集積回路装置での多層配線構造を第2図(a)および(b)に示してある。ここで、第2図(a)はこの多層配線構造の概要を模式的に示す平面パターン図であり、また、同図(b)は同一の構造における断面構成図である。

すなわち、これら第2図(a)、(b)に示す従来の多層配線構造において、符号1はシリコン半導体基板、2はこの半導体基板1上に設けられる下層絶縁膜であり、また、3は前記下層絶縁膜2上に選択的に形成された下層金属記録、4はこの下層金属記録3を含む下層絶縁膜2の上面を覆つて形成された埋蔵絶縁膜、5はこの埋蔵絶縁膜4を介して同様に選択的に形成された上層金属記録である。

しかして、この場合、前記下層2および上層

3 面を絶縁するために分在される層としては、いわゆる ECR (Electron cyclotron Resonance : 電子回転共鳴) を利用した PECD (Plasma Enhanced Chemical Vapor Deposition: プラズマ化学気相成長) 法によつて、SiH<sub>4</sub> または SiH<sub>2</sub> 等のガスをソースガスとして用い、かつ半導体基板<sup>1</sup> に対して所定のバイアス電圧を印加することにより、その成膜と同時に、Arなどのイオン風子によるスパッタエッチングを行ない得る手法(以下、バイアス ECPECVD 法と呼ぶ)で形成される層間絶縁膜を有するものとする。

ここで、このバイアス ECPECVD 法を適用するときに、先にも述べたように、この手は自体が ECR を利用した PECD 法により、目的とする層間絶縁膜<sup>1</sup> を直達程度の低領域で形成し得るのに加えて、スパッタエッチングを併せて行なうことができると云う利点を有しており、従来から広く一般的に採用されてきた通常での單なる PECD 法による層間絶縁膜の成膜形成によつては、到底埋め込

バッタエッチング時に生ずるイオン露害により、下層金属配線<sup>3</sup> が大きなダメージを受けて、例えば、該記第2圖に符号3で示すような下層金属配線<sup>3</sup> に対する欠陥部などを生じ易く、これによつて、この下層金属配線<sup>3</sup> の抵抗値の増加、ないしは、信頼性の劣化をきたし、ときには断線する場合もあるなどの不都合を有しており、また、バイアス電圧の印加による半導体基板<sup>1</sup> へのダメージについても、この半導体基板<sup>1</sup> 上に形成されているトランクス<sup>2</sup> またはキャバシタ<sup>4</sup> に対して、そのゲート絶縁膜の破壊とか、単位の発生による大きい栅電圧<sup>5</sup> のシフト、相互コンダクタンス<sup>6</sup> の劣化などの信頼性上の問題點を引き起すと云う欠点があつた。

この発明は、従来のこのようないくつかの問題点を解決するためになされたもので、その目的とすることとは、前記したように層間絶縁膜の成膜形成上、極めて有利なバイアス ECPECVD 法を適用する場合にあつて、下層金属配線<sup>3</sup> に対して欠陥の発生などの影響を与える模れがないようにした。この様の半

導体基板層装置の製造方法、こゝでは、多層化構造における層間絶縁膜の形成方法を提供することである。

#### (問題を解決しようとする装置)

しかしながら、前記バイアス ECPECVD 法の場合、一方で、前記した下層金属配線<sup>3</sup> での現象に対して、良好かつ適切な埋め込み平坦性を得るのには、その成膜に併せて、同時にかなりのスパッタエッチングを行なう必要があり、このために又

半導体基板層装置の製造方法、こゝでは、多層化構造における層間絶縁膜の形成方法を提供することである。

#### (問題を解決するための手段)

前記目的を達成するためには、この発明に係る半導体基板層装置の製造方法は、下層金属配線<sup>3</sup> 上にあつて、SiH<sub>4</sub> または SiH<sub>2</sub> 等ガス、もしくは TEOS などの有機系ガスをソースガスとして用いる PECD 法、あるいは熱 CVD 法によつて下層側の層間絶縁膜を形成させると共に、この下層側の層間絶縁膜上に、SiH<sub>4</sub> もしくは SiH<sub>2</sub> 等のガスをソースガスとして用い、かつ ECR を利用したバイアス PECD 法によつて上層側の層間絶縁膜を形成させ、かつその後、この上層側の層間絶縁膜上に、上層金属配線<sup>3</sup> を形成させるようにして、バイアス PECD 法による上層側の層間絶縁膜が、下層金属配線<sup>3</sup> に対して直接的には接触しないようにしたものである。

すなわち、この発明は、下層絶縁膜上<sup>7</sup> の下層金属配線<sup>3</sup> と上層金属配線<sup>3</sup>との間に分在される層間絶

方法であつて、まず下層地絆膜を形成地面上に、まず、SiN<sub>x</sub>またはSiO<sub>x</sub>ガス、もしくはTEOSなどの有機系ガスをソースガスに用いるPECVD法、あるいは熱CVD法によつて下層側の層間地絆膜を形成させ、ついで、この下層側の層間地絆膜上に、SiN<sub>x</sub>またはSiO<sub>x</sub>ガスをソースガスに用い、ECRによるバイアスPECVD法によつて上層側の層間地絆膜を形成させ、その後、この上層側の層間地絆膜上に、前記上層金属配線を形成させるようにしたことを特徴とする半導体集成回路装置の製造方法である。

## (作用)

又つて、この発明方法においては、下層金属配線上に、通常のPECVD法、あるいは熱CVD法によつて下層側の層間地絆膜を形成させた上で、この下層側の層間地絆膜上に、バイアスPECVD法によつて上層側の層間地絆膜を形成させることで、このバイアスPECVD法による上層側の層間地絆膜が、下層金属配線に対して直接的には接触しないようにしたから、この上層側の層間地絆膜の形成

された下層側の層間地絆膜14aと、この下層側の層間地絆膜14aを覆うように形成された上層側の層間地絆膜14bとの2層を積層させてなる層間地絆膜を示し、さらに、11はこれらの下層側、および上層側の各層間地絆膜14a、14bを分して両端に直角的に形成された上層金属配線である。

そして、この実施例方法の場合には、シリコン半導体基板11上にあつて、まず、下層地絆膜12を形成させた上で、この下層地絆膜12上を下層金属層によつて重い、かつ通常の写真製版およびエッチング工程などを経て、この下層金属層を選択的にバーニングし、所要部分に下層金属配線13をそれぞれにパターン形成する。

次に、前記下層金属配線13を含む下層地絆膜12上の全面に、通常のPECVD法、つまりこの場合にあつては、SiN<sub>x</sub>またはSiO<sub>x</sub>のガス、もしくはTEOS (Tetra Ethyl Ortho Silicate)によつて代表される有機系のガスをソースガスとして用いるPECVD (Plasma Enhanced Chemical Vapor Deposition) 法によつて下層側の層間地絆膜14aを

ため バイアスPECVD法の適用に限し、下層金属配線 受けるダメージが、PECVD法、あるいは熱CVD法によつて形成された下層側の層間地絆膜に吸収かつ被覆され もので、この結果として、後者のよう 下層金属配線の欠陥発生による抵抗の増加とか、断路不良などを生ずる弊病を解消し得るのである。

## (実施例)

以下、この発明に係る半導体集成回路装置の製造方法の一実施例につき、第1図を参照して詳細に説明する。

第1図はこの実施例方法を適用して構成された半導体集成回路装置での多層配線構造の概要を模式的に示す断面構成図である。

すなわち、この第1図実施例に示す多層配線構造においても、符号11はシリコン半導体基板、12はこの半導体基板11上に重ねられる下層地絆膜であり、また、13は前記下層地絆膜12上に直角的に形成された下層金属配線、14はこの下層金属配線13を含む下層地絆膜14aの全面を覆うように形成さ

れられた下層側の層間地絆膜14aと、この下層側の層間地絆膜14aを覆うように形成された上層側の層間地絆膜14bとの2層を積層させてなる層間地絆膜を示し、さらに、11はこれらの下層側、および上層側の各層間地絆膜14a、14bを分して両端に直角的に形成された上層金属配線である。

さらに、その後、こゝでも前記と同様に、この上層側の層間地絆膜14b 上を上層金属層によつて重い、かつ通常の写真製版およびエッチング工程などを経て、この上層金属層を選択的にバーニングし、所要部分に上層金属配線15をバーニングするのであり、このようにして、これらの下層金属配線13と上層金属配線15との間にあつて、相互に接続された下層側、および上層側 各層間地絆膜14a、14b の2層から る層間地絆膜14を介在させた所通りの多層配線構造を得るのである。

これらのシリサイド、ポリサイドなどが用いられる。

更に、この実施例方法の場合には、直線的にパターン形成される下層金属配線13上にあって、通常のPECVD法により形成される下層膜の層間絕縁膜14と、バイアスPECVD法により形成される上層膜の層間絕縁膜14とを順次に存在させた後に、上層金属配線13を円錐形に直線的にパターン形成させているので、このようにして構成される多層金属配線においては、既記した従来例方法の場合でのように、下層金属配線13に対してバイアスPECVD法により形成される上層膜の層間絶縁膜14の成長に際して、下層金属配線13に対する影響、应力を充分に緩和できなくなるので、この下層膜の層間絶縁膜14の膜厚については、これを約1000~2000人程度にすることが望ましい。

また、前記下層、上層の各金属配線としては、通常の場合、アルミニウム、タングステンとか、

ダメーチク、トランクスタのしきい値電圧 $V_{th}$ のシフト量で評価した結果を第3図に示す。

ここで、この第3図中、○印はこの実施例方法での通常のPECVD法+バイアスPECVD法によって得た下層膜および上層膜の被覆された2層からなる層間絶縁膜の場合を、△印は従来例方法でのバイアスPECVD法のみによって得た1層のみの層間絶縁膜の場合をそれぞれに示しており。また、他の熱处理では、S<sub>x</sub>Si<sub>y</sub>中での処理、閃熱処理 $S_1$ は、S<sub>x</sub>Si<sub>y</sub>中での処理をそれぞれに表わし、かつ該熱はしきい値電圧 $V_{th}$ のシフト量を表わしている。

この第3図の評価によつて明らかなように、従来例方法の場合に比較すると、この実施例方法では、しきい値電圧 $V_{th}$ のシフト量が1/4~1/3程度になるものと、通常のPECVD法による下層膜の層間絶縁膜の存在により、ダメーチクを効果的に緩和し得ることが判る。

なお、前記実施例方法においては、下層膜の層間絶縁膜の成長に通常のPECVD法を適用する場合

ちなみに、この実施例方法と従来例方法との各場合での、前記バイアスECR-CVD法の適用による

について述べたが、これに代えて公知の熱CVD法を適用しても同様な作用、効果を得ることができるのであり、また、実施例方法では、2層金属配線について述べたが、3層以上の多層金属配線に適用しても同様な結果を得られることは勿論である。

#### (発明の結果)

以上詳述したように、この発明によれば、下層金属膜上の下層金属配線と上層金属配線との間に介在される層間絶縁膜の形成方法において、下層金属膜を含む下層金属配線上に、まず、SiH<sub>4</sub>またはSiH<sub>2</sub>、高ガス、もしくはTEOSなどの有機系ガスをソースガスに用いる通常のPECVD法、あるいは高电压法によって下層膜の層間絶縁膜を形成させておき、ついで、この下層膜の層間絶縁膜上に、SiH<sub>4</sub>またはSiH<sub>2</sub>、高ガスをソースガスに用い、ECRによるバイアスPECVD法によって上層膜の層間絶縁膜を形成させ、その後、この上層膜の層間絶縁膜上に、上層金属配線を形成させるようとしたので、バイアスPECVD法によって成長され

成された半導体基板の構造を示す。上層部が、下層金属配線に対して垂直に配置され、この上層部の表面は、下層金属配線のためのバイアス (bias) 線の端部に対して、下層金属配線 受けるダーティー (dirty) 部、或は PECVD 線、あるいは熱 CVD 線によって形成された下層部の表面保護膜に有効かつ効果的に吸着、固定されて、この下層金属配線に何等の影響をも与えず、これによつて、被覆膜のより一層有利な保護をなすために、バイアス PECVD 線を適用する場合にあつても、吸着のような下層金属配線の欠陥発生による抵抗の増加とか、断路不良などを生ずる事が完全に防除され、保護膜の伝導性劣化の問題もなくなり、一般的な金属配線間に空洞等などを生じさせたりせずに、良好に保護された表面保護膜を容易に形成できるもので、結果的には、電気的特性に優れた高純度の半導体保護膜を多量りよく製造し得ると云う特長がある。

#### 4. 図面の簡単な説明

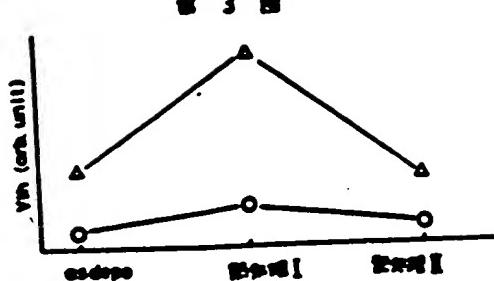
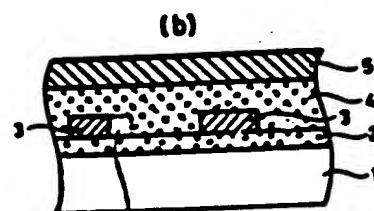
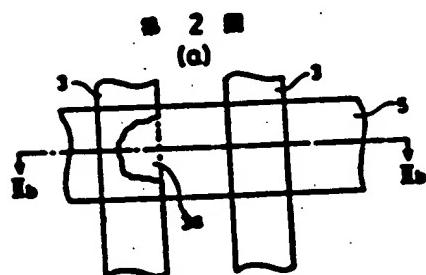
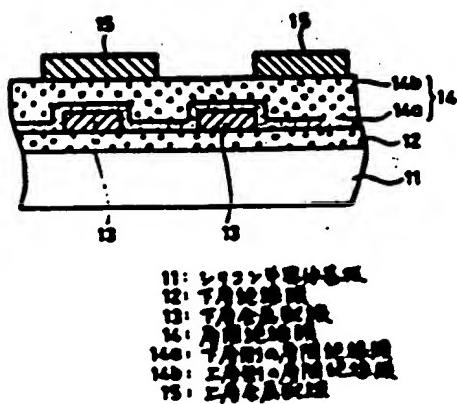
第1図はこの発明の一実施例方法を適用して構

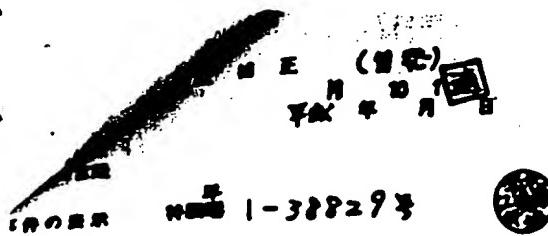
成された半導体基板の構造を示す。図2(a)は、複数の構成要素によって構成された半導体基板の表面保護膜の構造を模式的に示す断面構成図であり、また、図2(b)は複数個方法によつて形成された半導体基板の表面保護膜での多層配線構造の構造、模式的に示す平面パターン図、同図(c)は同一上記(i)と並んでにおける断面構成図であり、さらに、第3図はこの発明の一実施例方法と従来例方法との各場合でのトランジスタのしきい値電圧のシフト量を示すグラフである。

11…シリコン半導体基板、12…下層絶縁膜、13…下層金属配線、14…表面保護膜、14a…下層部の表面保護膜、14b…上層部の表面保護膜、15…上層金属配線。

代理人 大曾根謙

図 1 図





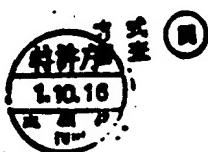
件名 半導体基板回路装置の製造方法

正社員会

事務との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名前 (601) 三井電機株式会社  
代表者 宮城 守義

代理人 住 所 東京都千代田区丸の内二丁目2番3号  
氏名 (7375) 介護士 大曾根 雄哉  
（本件は公表の申請である）

1084



(1) 国書15頁9行の「バイアス PECTO法」を「バ  
イアス ECCTO法」と修正する。

#### 5. 稽正の対象

特許書の発明の要旨を記載の箇

#### 6. 稽正の内容

- (1) 国書9頁10行9行および10行の「バイアス PEC  
TO法」を「バイアス ECCTO法」と修正する。
- (2) 国書8頁1行の「バイアス PECTO法」を「バ  
イアス ECCTO法」と修正する。
- (3) 国書10頁2行の「バイアス PECTO法」を「バ  
イアス ECCTO法」と修正する。
- (4) 国書10頁10行の「134,135」を「164,165」と  
修正する。
- (5) 国書11頁18行の「バイアス PECTO法」を「バ  
イアス ECCTO法」と修正する。
- (6) 国書12頁6行、11~12行9行および13~16行の  
「バイアス PECTO法」を「バイアス ECCTO法」と  
修正する。
- (7) 国書13頁6行9行および6~7行の「バイアス P  
ECTO法」を「バイアス ECCTO法」と修正する。
- (8) 国書14頁17行9行および20行の「バイアス PECTO  
法」を「バイアス ECCTO法」と修正する。

以上